

## CURRENT DRIVING CIRCUIT AND IMAGE DISPLAY DEVICE

**Patent number:** JP2003005710 (A)  
**Publication date:** 2003-01-08  
**Inventor(s):** NISHITOBA SHIGEO; IGUCHI KOICHI  
**Applicant(s):** NIPPON ELECTRIC CO  
**Classification:**

**Also published as:**

US2002196212 (A1)  
 US6774877 (B2)  
 KR20030004048 (A)

- international: G09G3/30; G09F9/30; G09G3/20; G09G3/32; H01L51/50;  
 G09G3/36; G09G3/30; G09F9/30; G09G3/20; G09G3/32;  
 H01L51/50; G09G3/36; (IPC1-7): G09G3/30; G09F9/30;  
 G09G3/20

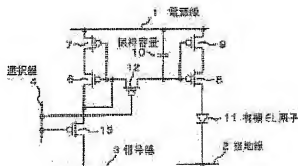
- european: G09G3/32A8C2

**Application number:** JP20010191135 20010625

**Priority number(s):** JP20010191135 20010625

#### Abstract of JP 2003005710 (A)

**PROBLEM TO BE SOLVED:** To reduce the effect of dispersion in threshold voltage of transistors constituting a current mirror circuit while using the current mirror circuit in a current driving circuit which is suited for an organic EL(electroluminescence) image display device or the like. **SOLUTION:** In this current driving circuit, transistors 7, 9 which operate respectively in a linear region (non-saturation region) are provided between sources of transistors 6, 8 constituting a current mirror circuit and a power source line 1 to reduce the effect due to dispersion in threshold voltage of the transistors 6, 8. Moreover, gates of the transistors 7, 9 are connected respectively to gates of the transistors 6, 8.



Data supplied from the esp@cenet database — Worldwide

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09G 3/30		G09G 3/30	J 5C080
G09F 9/30	338	G09F 9/30	338 5C094
G09G 3/20	611	G09G 3/20	611 H
	624		624 B
	641		641 D
審査請求 未請求 請求項の数17 O L (全14頁)			

(21) 出願番号 特願2001-191135(P 2001-191135)

(22) 出願日 平成13年6月25日 (2001.6.25)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 井口 康一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

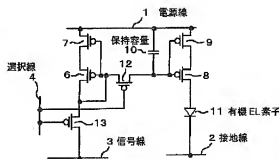
最終頁に続く

(54) 【発明の名称】 電流駆動回路及び画像表示装置

(57) 【要約】

【課題】 有機EL画像表示装置などに適した電流駆動回路において、カレントミラー回路を使用しつつ、カレントミラー回路を構成するトランジスタ間のばらつきの影響を低減する。

【解決手段】 カレントミラー回路を構成するトランジスタ6、8のソースと電源線1との間に、線形領域（非飽和領域）で動作するトランジスタ7、9を設け、トランジスタ6、8のしきい値電圧のばらつきによる影響を低減する。トランジスタ7、9のゲートは、それぞれ、トランジスタ6、8のゲートに接続する。



## 【特許請求の範囲】

【請求項1】 ドレイン電流に応じたゲート電位を発生する第1のトランジスタと、電流駆動型の素子がドレインに接続される第2のトランジスタとを少なくとも有し、前記第1のトランジスタのゲート電位に応じた電位が前記第2のトランジスタのゲートに印加されることにより、前記第2のトランジスタが前記素子を前記第1のトランジスタのドレイン電流に対応した電流で駆動するカレントミラー回路と、

前記第2のトランジスタのゲート電位を保持する保持容量と、  
入力する制御信号に応じて、信号電流を与える信号線に前記第1のトランジスタのドレインを接続する第1のスイッチ素子と、

入力する制御信号に応じて導通状態と遮断状態のいずれかの状態となり、導通状態のときに前記カレントミラー回路が動作するようにし、遮断状態のときには前記カレントミラー回路を動作させないとともに前記保持容量からの充放電経路を遮断する第2のスイッチ素子と、  
前記第1のトランジスタのソース電流及び前記第2のトランジスタのソース電流を与える線と、

前記線と前記第1のトランジスタのソースとの間に挿入され、非飽和領域で動作する第3のトランジスタと、  
前記線と前記第2のトランジスタのソースとの間に挿入され、非飽和領域で動作する第4のトランジスタと、  
を有する電流駆動回路。

【請求項2】 前記第3及び第4のトランジスタと前記カレントミラー回路との間に、さらに、1段以上のカレントミラー回路が挿入されている請求項1に記載の電流駆動回路。

【請求項3】 前記第2のトランジスタ及び前記第4のトランジスタの間に挿入された第5のトランジスタを有し、前記第1、第2及び前記第5のトランジスタがウィルソン型のカレントミラー回路として動作する、請求項1に記載の電流駆動回路。

【請求項4】 前記第3のトランジスタのゲートは前記第3のトランジスタのドレインにソースが直接接続しているトランジスタのゲートに接続し、前記第4のトランジスタのゲートは前記第4のトランジスタのドレインにソースが直接接続しているトランジスタのゲートに直接接続している、請求項1乃至3のいずれか1項に記載の電流駆動回路。

【請求項5】 第1のトランジスタと、  
前記第1のトランジスタと協働してカレントミラー回路として動作して、ドレインに接続された電流駆動型の素子を駆動する第2のトランジスタと、  
前記カレントミラー回路として動作しているときに前記第2のトランジスタに与えられたゲート電位を保持する保持容量と、  
制御信号に応じて、信号電流を与える信号線に前記第1

のトランジスタのドレインを接続する第1のスイッチ素子と、  
制御信号に応じて、前記第1のトランジスタと前記第2のトランジスタとを協働させて前記カレントミラー回路として動作させ、前記カレントミラー回路として動作させないときには前記保持容量からの充放電経路を遮断する第2のスイッチ素子と、

前記第1のトランジスタのゲートに接続するゲートを有し、前記第1のトランジスタのソースに直列に接続して非飽和領域で動作する第3のトランジスタと、  
前記第2のトランジスタのゲートに接続するゲートを有し、前記第2のトランジスタのソースに直列に接続して非飽和領域で動作する第4のトランジスタと、  
を有する電流駆動回路。

【請求項6】 前記第2のトランジスタのゲートとドレインが直接接続され、前記第1のトランジスタのゲートと前記第2のトランジスタのゲートの間に前記第2のスイッチ素子が挿入されている請求項5に記載の電流駆動回路。

【請求項7】 前記第2のトランジスタのゲートとドレインとの間に前記第2のスイッチ素子が挿入され、前記第1のトランジスタのゲートと前記第2のトランジスタのゲートとが直接接続されている請求項5に記載の電流駆動回路。

【請求項8】 前記信号線をブリチャージする手段をさらに有する請求項5乃至7のいずれか1項に記載の電流駆動回路。

【請求項9】 前記第1、第2、第3及び第4のトランジスタが絶縁ゲートを有する同一導電型の薄膜トランジスタであり、前記第1及び第3のトランジスタのチャネル幅が同一であり、前記第2及び第4のトランジスタのチャネル幅が同一であり、 $N \geq 1$ として、第1のトランジスタのチャネル幅と第2のトランジスタのチャネル幅との比が $N:1$ である、請求項1乃至8のいずれか1項に記載の電流駆動回路。

【請求項10】 前記第1、第2、第3及び第4のトランジスタが絶縁ゲートを有する同一導電型の薄膜トランジスタであり、前記第1及び第2のトランジスタのチャネル長が同一であり、前記第3及び第4のトランジスタのチャネル長が同一であり、前記第3のトランジスタのチャネル長は前記第1のトランジスタのチャネル長の1倍以上4倍以下である請求項5乃至8のいずれか1項に記載の電流駆動回路。

【請求項11】 前記制御信号を前記第1のスイッチ素子及び前記第2のスイッチに供給する選択線とをさらに有する請求項1乃至10のいずれか1項に記載の電流駆動回路。

【請求項12】 前記第1の制御信号を前記第1のスイッチ素子に供給する第1の選択線と第2の制御信号を前記第2のスイッチに供給する第2の選択線とをさらに有

し、前記第2の制御信号によって前記第2のスイッチ素子が遮断状態となつてから前記第1の制御信号によって前記第1のスイッチ素子が遮断状態となる、請求項1乃至10のいずれか1項に記載の電流駆動回路。

【請求項13】 前記ブリチャージする手段は、所定の電圧を発生する電源と、前記電源を前記信号線に接続する第3のスイッチ素子と、を有する請求項8に記載の電流駆動回路。

【請求項14】 前記素子に有機EL素子である請求項1乃至13のいずれか1項に記載の電流駆動回路。

【請求項15】 電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であつて、前記各発光素子は画面ごとに設けられ、

選択信号を各画面に与える選択線と、各画素の発光素子の駆動電流に対応する信号電流を各画面に与える信号線とがマトリクス状に設けられ、

前記各画面ごとに、

ドレイン電流に応じたゲート電位を発生する第1のトランジスタと、前記発光素子がドレインに接続された第2のトランジスタとを少なくとも有し、前記第1のトランジスタのゲート電位に応じた電位が前記第2のトランジスタのゲートに印加されることにより、前記第2のトランジスタが前記発光素子を前記第1のトランジスタのドレイン電流に対応した電流で駆動するカレントミラー回路と、

前記第2のトランジスタのゲート電位を保持する保持容量と、

前記制御信号に応じて、前記信号線に前記第1のトランジスタのドレインを接続する第1のスイッチ素子と、前記制御信号に応じて導通状態と遮断状態のいずれかの状態となり、導通状態のときに前記カレントミラー回路が動作するようにし、遮断状態のときには前記カレントミラー回路を動作させないとともに前記保持容量からの充放電経路を遮断する第2のスイッチ素子と、前記第1のトランジスタのソース電流及び前記第2のトランジスタのソース電流を与える線と前記第1のトランジスタのソースとの間に挿入され、非飽和領域で動作する第3のトランジスタと、前記線と前記第2のトランジスタのソースとの間に挿入され、非飽和領域で動作する第4のトランジスタと、を有する画像表示装置。

【請求項16】 電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であつて、前記各発光素子は画面ごとに設けられ、

選択信号を各画面に与える選択線と、各画素の発光素子の駆動電流に対応する信号電流を各画面に与える信号線とがマトリクス状に設けられ、

前記各画面ごとに、

第1のトランジスタと、

前記発光素子がドレインに接続され、前記第1のトラン

ジスタと協働してカレントミラー回路として動作する第2のトランジスタと、

前記カレントミラー回路として動作しているときに前記第2のトランジスタに与えられたゲート電位を保持する保持容量と、

前記制御信号に応じて、前記信号線に前記第1のトランジスタのドレインを接続する第1のスイッチ素子と、前記制御信号に応じて、前記第1のトランジスタと前記第2のトランジスタとを協働させて前記カレントミラー回路として動作させ、前記カレントミラー回路として動作させないときには前記保持容量からの充放電経路を遮断する第2のスイッチ素子と、

前記第1のトランジスタのゲートに接続するゲートを有し、前記第1のトランジスタのソースに直列に接続して非飽和領域で動作する第3のトランジスタと、

前記第2のトランジスタのゲートに接続するゲートを有し、前記第2のトランジスタのソースに直列に接続して非飽和領域で動作する第4のトランジスタと、を有する画像表示装置。

【請求項17】 前記発光素子は有機EL素子である請求項15または16に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機EL（エレクトロルミネッセンス）素子などの電流駆動型の素子を駆動する電流駆動回路と、このような電流駆動回路が組み込まれるとともに発光素子として電流駆動型の素子を使用する画像表示装置とに関する。

【0002】

【従来の技術】近年、コンピュータの出力装置や携帯電話機などに用いられる画像表示装置として、有機EL素子などの電流駆動型の発光素子を用いたものが注目されている。有機EL素子は、有機発光ダイオードとも呼ばれ、直流で駆動できるという利点を有している。有機EL素子を画像表示装置に用いる場合、画面ごとの有機EL素子を基板上にマトリクス状に配置して表示パネルを構成するのが一般的である。そして、この基板上にTFT（薄膜トランジスタ；thin film transistor）を形成し、TFTを介して各画面の有機EL素子を駆動する、アクティブマトリクス型の構成が検討されている。

【0003】ところで、有機EL素子は電流駆動型の素子であるため、有機EL素子をTFTで駆動する場合、電圧駆動型の素子である液晶セルを用いるアクティブマトリクス型液晶表示装置と同じ回路構成を用いることはできない。そこで従来より、有機EL素子とMOS（metal-oxide-semiconductor）トランジスタであるTFTとを直列に接続して電源線と接地線との間に挿入し、TFTのゲートに制御電圧を印加できるようにするとともに、この制御電圧を保持する保持コンデンサをTFTのゲートに接続し、さらに、各画面に対して制御電圧を印

加するための信号線とTFTとの間にスイッチング素子を設けたアクティブマトリクス駆動回路が提案されている。この回路では、信号線上に各画素に対する制御電圧を時分割形態で出力するとともに、各スイッチング素子は、対応する画素に対する制御電圧が出力されているタイミングのみ導通状態となるように制御される。その結果、スイッチング素子が導通状態になれば、そのときの制御電圧がTFTのゲートに印加されて制御電圧に応じた電流が有機EL素子を通るようになるとともに、保持コンデンサがその制御電圧で充電される。この状態でスイッチング素子が遮断状態に移移すれば、保持コンデンサの作用により、既に印加されている制御電圧がTFTのゲートに印加され続けることとなり、有機EL素子には、その制御電圧に応じた電流が流れ続けることとなる。

【0004】しかしながらこの従来の回路では、TFTの特性にばらつきがあると、同じ制御電圧を印加したとしても画素ごとの有機EL素子に流れる電流がばらつくこととなり、特に階調表示を行なう場合に適切な表示を行えないこととなる。また、微細な信号線上的で電圧降下によっても、有機EL素子に流れる電流がばらつくこととなる。

【0005】そこで本出願人は、上記の問題点を解決するために、既に、特開平11-282419号公報において、アクティブマトリクス型画像表示装置として構成する際に、その画像表示装置の画素を構成する有機EL素子などの電流駆動型の駆動素子を駆動するのに適した電流駆動回路を提案している。図20は、特開平11-282419号公報において提案した電流駆動回路の基本回路構成を示す回路図である。ここでは1画素分の回路が示されている。

【0006】図20に示す回路は、nチャネルトランジスタ56、58からなるカレントミラー回路によって、信号線53上の信号電流を有機EL素子61に流れる駆動電流に変換し、有機EL素子61が信号電流に応じた駆動電流で定電流駆動されるようにした回路である。電源電圧が正であるとして、電源線51と接地線52が設けられ、トランジスタ58の負荷として設けられている有機EL素子61のノードが電源線51に接続し、カソードがトランジスタ58のドレインに接続する。トランジスタ56、58のソースはそれぞれ接地線52に接続する。トランジスタ56のゲートとドレインは相互に接続するとともに、スイッチ素子62を介してトランジスタ58のゲートに接続する。トランジスタ58のゲートと接地線52との間には、保持容量60が設けられている。トランジスタ56のドレインは、スイッチ素子63を介して信号線53に接続する。スイッチ素子62、63は、例えばMOSスイッチなどからなり、その制御端子(MOSトランジスタを用いている場合であればゲート)は選択線54に接続する。

【0007】選択線54が活性状態となってスイッチ素子62、63が導通状態になると、信号線53から供給される信号電流がスイッチ素子63を介してダイオード接続されたトランジスタ56に流れるとともに、保持容量60の両端の電圧がトランジスタ56のゲート・ソース間電圧となるまで、この保持容量60を充電する。トランジスタ56とトランジスタ58とはカレントミラー回路を構成しているため、トランジスタ56、58のチャネル長、チャネル幅が同一であるとすれば、信号線53からの信号電流と同じ大きさの電流がトランジスタ58に流れることとなり、負荷である有機EL素子61にこの電流が流れることとなる。

【0008】選択線54が非活性状態に移移してスイッチ素子62、63が遮断状態となると、スイッチ素子63が遮断状態なので信号線53からは信号電流は供給されないが、スイッチ素子62も遮断状態であるので、トランジスタ58のゲートに接続された保持容量60には、スイッチ素子62、63が導通状態であったときの電圧レベルがそのまま保持されていることとなり、トランジスタ58は、スイッチ素子62、63が導通状態のときと同じ値の電流を負荷である有機EL素子61に流し続けることとなる。

【0009】この回路では、信号線に制御電圧を印加するのではなくて信号電流を流すようにしているため、信号線における電圧降下の影響を受けにくくなるとともに、カレントミラー回路を用いているので、画素間でのトランジスタの特性に違いに左右されることがなく、信号電流に応じた駆動電流を得ることができ。

#### 【0010】

【発明が解決しようとする課題】しかしながら上述した電流駆動回路を構成するトランジスタをアモルファスシリコンTFT(薄膜トランジスタ)あるいは多結晶シリコンTFTで構成した場合、単結晶シリコン半導体上に形成されるトランジスタの場合と異なって、たとえばこれらのTFTを隣接させて配置させた場合であっても、しきい値電圧 $V_{th}$ が数十ミリボルトのオーダーでばらつくことがある。そのため、図20に示す回路においてカレントミラー回路を形成するトランジスタ56、58を隣接させて配置させたとしても、しきい値のばらつきを抑えることが難しく、結果として、両方のトランジスタ56、58の整合を得ることは難しくなる。また、カレントミラー回路を構成するトランジスタ間の整合がとれなくなる原因としては、しきい値だけでなく、キャリア移動度やゲート酸化膜厚のばらつき等もある。しきい値やキャリア移動度、ゲート酸化膜厚などがばらつく結果、トランジスタ間の整合が得られなくなり、カレントミラー回路の入出力特性が大きくばらつくこととなる。

【0011】図20に示す回路は、トランジスタ56、58で構成されるカレントミラー回路を介して、信号線53から供給される信号電流を負荷である有機EL素子

61に伝達する構成であるが、上述のようにトランジスタ56とトランジスタ58とのゲート・ソース間の電圧の整合が得られない場合には、信号線53からの信号電流を負荷である有機EL素子61に正確には伝達できないこととなる。図21は、カレントミラー回路を構成する2つのトランジスタ56、58のしきい値 $V_{th}$ が各々50mVばらついた場合のそのカレントミラー回路の入出力伝達特性を示したものである。各トランジスタ56、58は、チャネル長及びチャネル幅がいずれも4 $\mu$ mであるとした。図示中央の斜めの直線はしきい値のばらつきがないとした場合の伝達特性を示しており、その両側の直線はしきい値のばらつきがあったとした場合の伝達特性を示している。図21に示すように、しきい値 $V_{th}$ が $\pm 50$ mV程度ばらついた場合には、出力電流すなわち有機EL素子を通る電流が約 $\pm 13\%$ ばらつく。

【0112】そのため、図20に示した電流駆動回路においても、TFTを用いて回路を構成して有機EL画像表示装置に適用した場合に、画素間で階調誤差を生じ、表示パネルにおける画質低下がもたらされ、さらには製造歩留まりの低下につながってコスト増の一因となることとある、という、解決すべき課題が残されている。

【0113】そこで本発明の目的は、有機EL画像表示装置などに適した電流駆動回路であって、カレントミラー回路を使用しつつ、カレントミラー回路を構成するトランジスタ間のばらつきの影響を軽減した電流駆動回路と、このような電流駆動回路を有する画像表示装置と、を提供することにある。

#### 【0114】

【課題を解決するための手段】本発明は、上述したようなカレントミラー回路を用いた電流駆動回路に関するものである。カレントミラー回路としては各種の形態のものがあるが、その基本的な構成は、ドレイン電流に応じたゲート電位を発生する第1のトランジスタと、電流駆動素子の素子がドレインに接続される第2のトランジスタとも備え、第1のトランジスタのゲート電位に応じた電位が第2のトランジスタのゲートに印加されるようにしたものである。このように構成することによって、第1のトランジスタに信号電流を流したときに、第2のトランジスタが信号電流に応じたドレイン電流で電流駆動素子の素子を駆動することになる。このようなカレントミラー回路に対し、本発明では、第1のトランジスタのゲートに接続するゲートを有し、第1のトランジスタのソースに直列に接続して非飽和領域で動作する第3のトランジスタと、第2のトランジスタのゲートに接続するゲートを有し、第2のトランジスタのソースに直列に接続して非飽和領域（線形領域）で動作する第4のトランジスタとを設け、カレントミラー回路を構成するトランジスタ間のばらつきの影響を軽減している。第3及び第4のトランジスタは、ここでは、実質的に抵抗として動作することになる。

【0115】カレントミラー回路の形式や構成の違いにより、本発明においては第3及び第4のトランジスタの配置方法は種々に変化し得るものであるが、それらの具体的な例は、後述する発明の実施の形態から明らかになるであろう。

【0116】すなわち本発明の本発明の電流駆動回路は、ドレイン電流に応じたゲート電位を発生する第1のトランジスタと、電流駆動素子の素子がドレインに接続される第2のトランジスタとを少なくとも有し、第1のトランジスタのゲート電位に応じたゲート電位を第2のトランジスタのゲートに印加されることにより、第2のトランジスタが素子を第1のトランジスタのドレイン電流に対応した電流で駆動するカレントミラー回路と、第2のトランジスタのゲート電位を保持する保持容量と、入力する制御信号に応じて、信号電流を与える信号線に前記第1のトランジスタのドレインを接続する第1のスイッチ素子と、入力する制御信号に応じて導通状態と遮断状態のいずれかの状態となり、導通状態のときにカレントミラー回路が動作するようにし、遮断状態のときにはカレントミラー回路を動作させないとともに保持容量からの充電電流路を遮断する第2のスイッチ素子と、第1のトランジスタのソース電流及び第2のトランジスタのソース電流を与える線と第1のトランジスタのソースとの間に挿入され、非飽和領域で動作する第3のトランジスタと、第1のトランジスタのソース電流及び第2のトランジスタのソース電流を与える線と第2のトランジスタのソースとの間に挿入され、非飽和領域で動作する第4のトランジスタと、を有する。

#### 【0117】

【発明の詳細な説明】次に、本発明の好ましい実施の形態について、図面を参照して説明する。

【0118】図1は、本発明の第1の実施の形態の電流駆動回路の構成を示す回路図である。この電流駆動回路は、図20に示した従来の電流駆動回路と同様に、カレントミラー回路を備え、信号線3から供給される信号電流に応じた駆動電流によって有機EL素子11を定電流駆動するものである。ただし、図1に示した回路では、カレントミラーを構成するMOSトランジスタをpチャネル型としており、それに伴って、図20に示した回路とは、電源線と接地線との間でカレントミラー回路や有機EL素子の配置関係が逆転している。そして図1に示した回路が図20に示した回路と最も大きく相違する点は、カレントミラー回路を構成する各トランジスタ6、8のソース側に、さらにトランジスタ7、9が挿入され、いわゆるダブルゲート構造となっている点である。以下、図1に示す電流駆動回路をさらに詳しく説明する。ここでは、電源電圧が正であるとすると、

【0119】電源電圧が印加される電源線と接地線とに保たれる接地線2とが設けられており、有機EL素子11のカソードは接地線2に接続し、アノードはトラン

ジスタ8のドレインに接続している。トランジスタ8のソースはトランジスタ9のドレインに接続し、トランジスタ9のソースは電源線1に接続している。トランジスタ8、9のゲートは相互に接続する。保持容量(保持コンデンサ)10が、トランジスタ8、9の共通接続されたゲートと電源線1との間に設けられている。

【0020】トランジスタ6のドレインとゲートは相互に接続し、さらにトランジスタ7のゲートにも接続している。トランジスタ6のソースはトランジスタ7のドレインに接続し、トランジスタ7のソースは電源線1に接続している。トランジスタ6のゲートはスイッチトランジスタ12を介してトランジスタ8のゲートに接続する。トランジスタ6のドレインはスイッチトランジスタ13を介して信号線3に接続している。スイッチトランジスタ12、13のゲートは、選択線4に接続する。

【0021】この回路において、トランジスタ6～9及びスイッチトランジスタ12、13は、いずれもpチャネルMOSトランジスタであって、典型的にはTFTとして形成される。トランジスタ6～9によってダブルゲート構造のカレントミラー回路が構成されているが、この中で、トランジスタ6、8は本素のカレントミラー回路として機能するものであって、MOSトランジスタの飽和領域で動作する。これに対してトランジスタ7、9は、トランジスタ6、8のしきい値 $V_{th}$ のばらつきなどを補償するためのものであって、非飽和領域(線形領域)で動作し、ゲート・ソース間電圧に応じた抵抗値を有する実質的な抵抗として機能する。画像表示パネル上に画素ごとに電流駆動回路を設ける用途においてTFTの配置の容易さを考慮すると、トランジスタ6、7のチャネル幅は相互に等しくすることが好ましく、またトランジスタ8、9のチャネル幅は相互に等しくすることが好ましい。また、トランジスタ6、8をカレントミラー回路として飽和領域で動作させるのに対し、トランジスタ7、9を非飽和領域で動作させることを考慮すると、トランジスタ7、9のチャネル長は非飽和領域として動作するのに十分なものでなくてはならない。

【0022】次に、この電流駆動回路の動作について、図2のタイミングチャートを用いて説明する。図2に示す回路と異なっており、トランジスタのドレインを用いているので、選択線4は、ローレベルが活性状態であり、ハイレベルが非活性状態である。

【0023】選択線4がローレベルになって活性状態となると、スイッチトランジスタ13が導通状態となるので、信号線3から信号電流が供給されてトランジスタ6、7を流れることになる。このときスイッチトランジスタ12も導通状態であるから、トランジスタ6～9によって構成されるダブルゲート構造のカレントミラー回路が動作し、トランジスタ8のドレインから負荷である有機EL素子11へ電流が供給される。信号線3から供給される信号電流はトランジスタ9のゲート・ソース間

電圧に変換され、この変換されたゲート・ソース間電圧まで、保持容量10が充電される。保持容量10は、信号線3から供給される信号電流によって変換されたトランジスタ9のゲート・ソース間電圧を保持する。

【0024】選択線4がハイレベルになり非活性状態に移移すると、スイッチトランジスタ12、13は遮断状態となり、トランジスタ6、7は遮断状態となる。一方、スイッチトランジスタ12が遮断状態であるため、保持容量10には先に変換されたゲート・ソース間電圧が保持されたままであり、保持容量10に保持された電圧によって、トランジスタ8、9のゲートが駆動される。その結果、トランジスタ8、9は、有機EL素子11に、選択線4が導通状態の時と同じ電流を供給し続ける。

【0025】図3は、図1に示す回路において、上述したダブルゲート構造のカレントミラー回路を構成するトランジスタのしきい値 $V_{th}$ が $\pm 50\text{mV}$ ばらつくときに、このカレントミラー回路の入出力特性がどのようにばらつくかを示したグラフである。ここでは、トランジスタ6～9は、いずれもチャネル長が $4\mu\text{m}$ 、チャネル幅が $4\mu\text{m}$ であるものとした。図3より、ダブルゲート構造とすることによって、出力電流のばらつきは $\pm 3\%$ に低減されることが分かる。なお、図2に示したように、カレントミラー回路をダブルゲート構造にしない場合には、同じ条件で出力電流が $\pm 13\%$ ばらつく。また、しきい値だけでなく、薄膜トランジスタにおけるキャリアの移動度、ゲート酸化膜厚などがばらつくとも、ダブルゲート構造を採用することによって、カレントミラー回路の出力電流は同様に低減される。

【0026】図4は、トランジスタのしきい値が $\pm 50\text{mV}$ ばらつくとして、図1に示す回路において、トランジスタ7、9のチャネル長とカレントミラー回路の出力電流のばらつきとの関係を示している。トランジスタ6、8のチャネル長は $4\mu\text{m}$ であり、またトランジスタ6～9のチャネル幅は $4\mu\text{m}$ である。図4から明らかなように、トランジスタ7、9のチャネル長を長くするほどばらつきが低減される。このため、本実施形態の電流駆動回路を画像表示装置に適用する場合、その画像表示装置に要求される画質等の品質に応じて、トランジスタ7、9のチャネル長を選択すれば所望の特性が得られる。なお、トランジスタ7、9のチャネル長を長くすると、これらトランジスタ7、9での電圧降下が大きくなりすぎ、消費電力や電源電圧の面で好ましくない。トランジスタ7、9のチャネル長は、トランジスタ6、8のチャネル長の0.5倍以上とすることが好ましく、1倍以上4倍以下とすることがさらに好ましい。

【0027】このように、本実施形態では、カレントミラー回路を構成するトランジスタ6、7及びトランジスタ8、9は、いずれもダブルゲート構造となるようにし、トランジスタ7、9を線形領域で実質的に抵抗とし

て使用することにより、トランジスタ7、9に発生する電圧が支配的となって、トランジスタ6、8のゲート・ソース間の電圧のばらつきが低減されて、入出力電流間のばらつきの少ないカレントミラー回路を実現することができる。

【0028】図5は、図1に示した電流駆動回路をマトリクス状に配置して構成した画像表示装置を示している。図5においては、図1に示した電流駆動回路が、画素21として、m行n列で配列されている。同じ行に属する画素21は、それぞれ電源線1及び接地線2を共有し、各行の電源線1は1つにまとめられて直流の電源22の一端に接続し、各行の接地線2は1つにまとめられて電源22の他端に接続する。また、同じ行に属する画素21は、選択線4を共有しており、合計m本の選択線4には、それぞれ、制御信号を発生する信号ドライバ24が接続されている。一方、同じ列に属する画素21は、信号線3を共有しており、合計n本の信号線3には、それぞれ、信号電流を発生する電流ドライバ23が接続されている。さらにこの画像表示装置は、不図示の制御回路を備えており、各電流ドライバ23が出力する電流値や各信号ドライバ24での制御信号の発生タイミングは、この制御回路によって制御されている。

【0029】m個の信号ドライバ24は順番に制御信号を出力し、これにより、第1行目から第m行目までの選択線4に順番に制御信号が出力されることになる。これに対し、n個の電流ドライバ23は、選択線4により選択されている行についてその行に属する画素21に対する信号電流を並列に出力する。この結果、選択されている行の各画素21を構成する電流駆動回路に、電流ドライバ21から信号電流が供給されることとなり、信号電流に対応した発光を有機EL素子11は行う。また、上述したように、選択線4によって選択されていた行が選択されなくなった場合、その行の各画素21においては選択されていたときと同じ電流が有機EL素子11に流れ続けることとなる。

【0030】図1に示した電流駆動回路では、スイッチトランジスタ12、13としてpチャネル構造のトランジスタを使用しているが、nチャネル構造のトランジスタを使用しても構わない。その場合、選択線4がハイレベルの時、スイッチトランジスタ12、13は導通し、トランジスタ6～9で構成されるダブルゲート構造のカレントミラー回路が動作する。一方、選択線4がローレベルの時、スイッチトランジスタ12、13は遮断状態となる。

【0031】さらに、スイッチトランジスタ及びダブルゲート構造のカレントミラー回路を構成するトランジスタの全てをnチャネルトランジスタによって構成してもよい。その場合の回路構成を図6に示す。トランジスタの導電型が逆になったことにより、有機EL素子11は（正電源である）電源線1に接続し、接地線2側にカレ

ントミラー回路が設けられることになる。この回路では、選択線4がハイレベルのときカレントミラー回路が動作する。

【0032】次に、本発明の第2の実施形態の電流駆動回路について説明する。図7は第2の実施形態の電流駆動回路の構成を示す回路図であり、図8はこの電流駆動回路の動作を示すタイミングチャートである。

【0033】図1に示した回路では、選択線4がスイッチトランジスタ12、13のゲートに共通に接続していたが、図7に示す回路では、この選択線を分離し、選択線4はスイッチトランジスタ12のゲートに接続し、選択線5がスイッチトランジスタ13のゲートに接続するようにしている。この回路では、選択線4、5がローレベル（活性状態）となった信号線3からの信号電流が電圧に変換された後、この電圧を保持容量10において確實に保持できるようにするため、図8に示すように、選択線4を先にハイレベルにしてスイッチトランジスタ12を遮断状態とした後、選択線5をハイレベルとしてスイッチトランジスタ13を遮断状態とする。

【0034】なお、図7に示した回路では、スイッチトランジスタ12、13にpチャネルトランジスタを使用しているが、第1の実施形態と同様に、nチャネルトランジスタを使用しても構わない。さらに、トランジスタ6～9としてnチャネルトランジスタを使用するようにしてもよい。

【0035】図9は、図7に示した電流駆動回路を用いた画像表示装置の構成を示している。同じ行に属する画素21は、選択線4を共有し、また選択線5を共有している。図5に示した画像表示装置と異なる点は、画素21として図7に示した電流駆動回路を使用するため、選択線4を駆動する信号ドライバ24と選択線5を駆動する信号ドライバ25とが別々に設けられている点である。この電流駆動回路は、さらに不図示の制御回路を備えており、各電流ドライバ23が出力する電流値や各信号ドライバ24、25での制御信号の発生タイミングは、この制御回路によって制御されている。

【0036】次に、本発明の第3の実施形態の電流駆動回路について、図10を用いて説明する。図1に示す回路においては、選択されていないときにカレントミラー回路の動作を停止させるとともに保持容量10に蓄積された電荷が逃げないようにするスイッチングトランジスタ12は、トランジスタ6のゲートとトランジスタ8のゲートとの間に設けられていた。しかしながら、スイッチトランジスタ12の位置はこれに限られるものではない。図10に示す回路は、図1に示す回路において、スイッチトランジスタ12をトランジスタ6のゲートとドレインとの間に挿入し、そのかわり、トランジスタ6のゲートとトランジスタ8のゲートとを直接接続した構成のものである。

【0037】図10に示す回路において、選択線4がロ



ーレベル（活性状態）のときの動作は、スイッチトランジスタ 12, 13 が導通状態にあるので、図 1 に示す回路と同じである。また、選択線 4 がハイレベル（非活性状態）に遷移したときは、トランジスタ 6 のドレインとゲートとの間が分離するので、トランジスタ 6, 8 はカレントミラー回路としては動作しなくなる。また、スイッチトランジスタ 12 が遮断状態になるので、保持容量 10 に保持された電荷の流出入パスがなくなり、保持容量 10 は、選択されているときに保持した電圧をそのまま維持し、その結果、有機 EL 素子 11 には、選択されていたときと同じ電流が流れ続けることになる。この図 10 に示す電流駆動回路を用いることによって、図 5 に示す画像表示装置と同様の画像表示装置を構成することができる。

【0038】図 11 は、第 3 の実施の形態の電流駆動回路の別の例を示している。この回路は、図 10 に示したものと同様の回路であるが、第 2 の実施形態の回路（図 7）と同様に選択線を分離して、選択線 4 はスイッチトランジスタ 12 のゲートに接続し、選択線 5 がスイッチトランジスタ 13 のゲートに接続するようにしている。この回路では、選択線 4, 5 がローレベル（活性状態）となって信号線 3 からの信号電流が電圧に変換された後、この電圧を保持容量 10 において確実に保持できるようにするため、選択線 4 を先にハイレベルにしてスイッチトランジスタ 12 を遮断状態とした後、選択線 5 をハイレベルにしてスイッチトランジスタ 13 を遮断状態とする。この図 11 に示す電流駆動回路を用いることによって、図 9 に示す画像表示装置と同様の画像表示装置を構成することができる。

【0039】図 12 に示す本発明の第 4 の実施の形態の電流駆動回路は、図 1 に示す回路に対し、信号線 3 の寄生容量 14 を明示的に付加したものである。各実施の形態の電流駆動回路において、トランジスタ 6～9 やスイッチトランジスタ 12, 13 などは、通常、絶縁ゲート構造を有する TFT によって形成されるが、TFT 構造における配線層は、通常、アルミニウム (Al) 配線であるが、タングステンシリサイド (WSi) 等によって形成される。そして配線部分が交差することなどによって、寄生容量 14 が発生する。信号電流が充分大きい場合には、多少の寄生容量があってもその寄生容量を充電に要する時間はわずかなため問題とならないが、この電流駆動回路を有機 EL アクティブマトリクス表示装置に適用する場合には信号電流の電流レベルが微小となるため（例えばマイクロアンペアのオーダー）、信号線 3 から供給される信号電流が寄生容量 14 の充電に使用され、選択線 4 がローレベルである間に保持容量 10 の両端の電圧が本来予定されている電圧に達しないおそれがある。本来予定されている電圧とは、電流ドライバ 23（図 5 参照）が信号線 3 に出力した電流に対応する電圧のことである。ローレベルである間に保持容量 10 の

両端が本来予定されている電圧に達しなければ、有機 EL 素子 11 を流れる電流も、電流ドライバ 23 から信号線 3 に出力された電流に達しないものとなり、有機 EL アクティブマトリクス表示装置における表示画質の劣化につながる事となる。

【0040】そこで、トランジスタ 6, 7 のチャネル幅（ゲート幅）をトランジスタ 8, 9 のチャネル幅の N 倍にそれぞれ設定すると（ $N > 1$  とする）、有機 EL 素子 11 に流すべき電流値は変化させないものとして、信号線 3 から供給される信号電流は図 1 の場合の信号電流に比べて N 倍となるため、信号線 3 に寄生容量 14 が存在してもその充電時間は短縮される。また当然ながら、保持容量 10 への充電も N 倍の電流で行われるため、充電時間が短縮される。なお、信号線 3 に付加される寄生容量 14 の値、保持容量 10 の値、選択線 4 がローレベルである期間の長さ等を考慮して、N の値を選択すればよい。

【0041】次に、本発明の第 5 の実施形態の電流駆動回路について、図 13 を用いて説明する。この電流駆動回路は、図 1 に示す回路において、トランジスタ 8 のドレインと有機 EL 素子 11 のアノードとの間に p チャネル MOS トランジスタ 15（典型的には TFT である）を挿入し、いわゆるウィルソン型のカレントミラー回路にしたものである。トランジスタ 6 のドレインとゲートとは相互に直接接続されず、スイッチトランジスタ 12 は、トランジスタ 6 のドレインとトランジスタ 15 のゲートとの間に設けられており、その代わりに、トランジスタ 6 のゲートはトランジスタ 8 のゲートに直接接続している。さらに、トランジスタ 8 のゲートは、トランジスタ 9 のゲートのみならずトランジスタ 8 のドレインにも接続している。保持容量 10 は、電源線 10 とトランジスタ 15 のゲートとの間に設けられている。

【0042】この電流駆動回路は、ウィルソン型のカレントミラー回路として構成することにより、有機 EL 素子 11 に流れる出力電流の電源電圧依存性を低減している。この電流駆動回路の動作は、図 1 に示した回路の動作と同様である。またこの図 13 に示す電流駆動回路を用いることによって、図 5 に示す画像表示装置と同様の画像表示装置を構成することができる。

【0043】図 14 に示す本発明の第 6 の実施の形態の電流駆動回路は、図 1 に示す回路に対して、TFT である p チャネル MOS トランジスタ 15, 16 を追加して、トランジスタ 6, 8 のソース・ドレイン間の電圧が等しくなるようにし、出力電流の電源電圧に対する変動が低減するようにしたものである。すなわち、図 1 に示す回路において、トランジスタ 6 のドレインとスイッチトランジスタ 13 との間にトランジスタ 16 が追加され、トランジスタ 16 のドレインとゲートを相互に接続し、トランジスタ 8 のドレインと有機 EL 素子 11 のアノードとの間にトランジスタ 15 が追加されている。ス

スイッチトランジスタ12は、トランジスタ15のゲートとトランジスタ16のゲートの間に設けられており、その代わりに、トランジスタ6のゲートとトランジスタ8のゲートとは直接接続している。保持容量10は、電源線1とトランジスタ15のゲートの間に設けられている。

【0044】図14に示す回路は、結局、2段のカレントミラー回路をカスケード接続し、負荷である有機EL素子11から遠い方のカレントミラー回路を上述したようなダブルゲート構造のカレントミラー回路としたものである。カスケード接続されるカレントミラー回路の段数は2段に限られるものではなく3段以上としてもよいが、段数を増やすと電圧使用効率の低下などがもたらされる。カスケード接続した場合、各段のカレントミラー回路のそれぞれに非飽和領域で動作するMOSトランジスタを追加するのではなく、負荷である有機EL素子11から最も離れている段のカレントミラー回路のみに非飽和領域で動作するMOSトランジスタを追加し、この段のみが上述したダブルゲート構造のカレントミラー回路となるようにすればよい。

【0045】なお、図14に示す電流駆動回路の動作は、図1に示す回路の動作と同様である。また、図14に示す電流駆動回路を用いることによって、図5に示す画像表示装置と同様の画像表示装置を構成することができる。

【0046】図15に示す本発明の第7の実施の形態の電流駆動回路は、図1に示す回路において、スイッチトランジスタ12のリーク電流を低減するために、スイッチトランジスタ12と並列に、pチャネルMOSトランジスタであるスイッチトランジスタ17を追加したものである。スイッチトランジスタ17のゲートは、スイッチトランジスタ12のゲートに接続しており、これにより、選択線4に接続する。

【0047】スイッチトランジスタ12にリーク電流が発生すると、保持容量10に蓄積された電荷がスイッチトランジスタ12の遮断時にリークし、保持容量10の両端の電圧が変化して、有機EL素子11に流れる電流が本来の電流からずれることとなり、画像表示装置の場合であれば画質劣化を引き起こされることになる。この実施の形態では、スイッチトランジスタ12に並列にスイッチトランジスタ17を追加してあるので、リーク電流がより低減され、画像表示装置に適用した場合であれば画質劣化が防止される。

【0048】次に、本発明の第8の実施の形態について説明する。図16は第8の実施の形態の電流駆動回路の構成を示す回路図であり、図17はこの回路の動作を説明するタイミングチャートである。図16に示す回路は、図12に示す回路において、電源線1と信号線3との間にリセット用トランジスタ18を設けた構成のものである。リセット用トランジスタ18はpチャネルMO

Sトランジスタであって、そのゲートは選択線19に接続する。

【0049】図12に示す回路では、信号線3から供給される信号電流が最大電流（白レベル）から最小電流（黒レベル）に変化した場合、保持容量10は最大の電圧レベルから、最小の電圧レベルまで放電を行う必要がある。しかし、信号電流が最小電流であるために放電時間が長くなり、選択線4がローレベルである選択期間内に保持容量10の放電が完了しないことがある。また、

ダブルゲート構造のカレントミラー回路の場合、ゲート・ソース間電圧、すなわち、保持容量10の両端の電圧は、従来の回路の一例として図20に示すようなシングルゲート構造のカレントミラー回路のゲート・ソース間電圧よりも大きくなる。したがって、上記のように信号線3から供給される信号電流が最大電流（白レベル）から最小電流（黒レベル）に変化した場合、保持容量10に蓄積された電荷の放電時間が長くなる。保持容量10の放電が完全に終了しなかった場合には、本来、保持容量の両端の電圧は最小電位であるべきにもかかわらず、

電位が残存し、画像表示装置として使用した場合であれば、黒レベル浮きの状態となつて、黒が正しく表示されないという不具合が生じる。

【0050】そこで図16に示す回路では、この不具合を防止するため、選択線4がローレベルとなると同時に、リセット用トランジスタ18のゲートに接続した選択線19をローレベルとし、リセット用トランジスタ18を導通状態とする。リセット用トランジスタ18によって、信号線3に付加された寄生容量14は電源線1の電圧レベルまで充電されるとともに、保持容量10に蓄積されていた電荷は放電されてしまう。選択線19のローレベルの開始は図14に示したように選択線4のローレベルの開始と同時にあり、選択線19のローレベルの期間は、スイッチトランジスタ12、13、18を介して保持容量10が放電し得る時間であり、選択線4がローレベルである期間より充分短くてよい。

【0051】リセット用トランジスタ18は、最低限、各列の信号線3ごとに設けられ、よいので、アクティブトリクス有機EL表示パネル外で信号線3及び選択線4を駆動する回路内に設けてもよい（この場合は選択線4上の信号から選択線19上の信号を生成すればよい）、あるいは、パネル内に画素ごとに設けることとして、トランジスタ6～9やスイッチトランジスタ12、13と同様にアモルファスシリコンTFTあるいは多結晶シリコンTFTで構成してもよい。

【0052】次に、本発明の第9の実施の形態について説明する。図18は第9の実施の形態の電流駆動回路の構成を示す回路図であり、図19はこの回路の動作を説明するタイミングチャートである。

【0053】図18に示す回路は、上述した図16に示す回路において、リセット用トランジスタ18のソース

と電源線1との間に定電圧源20を設けたものである。

【0054】図16に示す回路では、リセット用トランジスタ18によって保持容量10は電源線1の電圧レベルまで放電されるが、電流駆動回路を構成する各トランジスタをアモルファスシリコンTFTまたは多結晶シリコンTFTで構成した場合、トランジスタのしきい値が大きく、したがってそのゲート・ソース間電圧が大きくなる。信号線3から供給される信号電流の最小電流（黒レベル）は一般に数nAのオーダーであるため、上記のTFTのゲート・ソース間電圧はこのような電流レベルで2〜3Vとなることがある。そのため、リセット用トランジスタ18によって保持容量10を完全に放電する必要はなく、1〜2V程度の電圧が残存していてもよい。そこで図18に示す回路では、このような残存が許容される電圧レベルに定電圧源20の電圧を設定しており、その結果、リセット用トランジスタ18を導通状態としたときの保持容量10の最終電圧値は、定電圧源20の電圧レベルに収束する。図18に示す回路では、選択線4がローレベルとなって信号線3から信号電流が供給されたときに、保持容量10は、定電圧源20の電圧レベルから充電を開始するため、図16に示す回路に比べ、保持容量10が信号電流に応じた規定の電圧レベルに達するまでの時間を短縮することができる。定電圧源20としては、定電圧ダイオードや、ダイオードの順方向特性を用いたものの任意の定電圧素子を用いることができる。

【0055】以上本発明の好ましい実施の形態について、トランジスタ6〜9、15、16やスイッチトランジスタ12、13、18として典型的にはTFTとして構成されるMOSトランジスタを用いる場合を説明したが、本発明はこれに限定されるものではない。トランジスタ6〜9、15、16としては、MOSトランジスタに限らず、その他の絶縁ゲート型の電界効果トランジスタなどを用いることができる。選択線4が周期的に活性状態になるものとしてこの一周期の時間内で保持容量10に蓄積された電荷を保持できるだけのゲート抵抗を有するものであれば、必ずしも絶縁ゲート型である必要はなく、他の種類のトランジスタであってもよい。また、スイッチトランジスタ12、13、18としては、MOSトランジスタ以外の各種のトランジスタ型や、トランスファゲートなどを使用することが可能である。電流駆動される素子として上述した実施の形態では有機EL素子を用いているが、本発明はこれに限定されるものではなく、レーザダイオード（LD）や発光ダイオード（LED）などを用いることも可能である。

#### 【0056】

【発明の効果】以上説明したように本発明は、カレントミラー回路を構成するトランジスタに対して、非飽和領域（線形領域）で動作し実質的に抵抗として機能するトランジスタを接続することにより、カレントミラー回路

の入出力電流間のばらつきが抑えられ、信号電流に基づいて正確に素子を駆動できる電流駆動回路が得られ、これにより、有機EL画像表示装置などにおいて表示画像の画像品質を向上することができる、という効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の電流駆動回路を示す回路図である。

【図2】図1の回路の動作を示すタイミングチャートである。

【図3】図1の電流駆動回路においてカレントミラー回路を構成するトランジスタ間にばらつきがあったときのカレントミラー回路の入出力伝達特性を示すグラフである。

【図4】トランジスタのしきい値がばらついたときのトランジスタのチャネル長とカレントミラー回路の出力電流誤差との関係を示すグラフである。

【図5】図1に示す電流駆動回路を用いた画像表示回路を示す回路図である。

【図6】第1の実施の形態の電流駆動回路の別の例を示す回路図である。

【図7】本発明の第2の実施の形態の電流駆動回路を示す回路図である。

【図8】図7に示す回路の動作を示すタイミングチャートである。

【図9】図7に示す電流駆動回路を用いた画像表示回路を示す回路図である。

【図10】本発明の第3の実施の形態の電流駆動回路を示す回路図である。

【図11】第3の実施の形態の電流駆動回路の別の例を示す回路図である。

【図12】本発明の第4の実施の形態の電流駆動回路を示す回路図である。

【図13】本発明の第5の実施の形態の電流駆動回路を示す回路図である。

【図14】本発明の第6の実施の形態の電流駆動回路を示す回路図である。

【図15】本発明の第7の実施の形態の電流駆動回路を示す回路図である。

【図16】本発明の第8の実施の形態の電流駆動回路を示す回路図である。

【図17】図16に示す回路の動作を示すタイミングチャートである。

【図18】本発明の第9の実施の形態の電流駆動回路を示す回路図である。

【図19】図18に示す回路の動作を示すタイミングチャートである。

【図20】従来の電流駆動回路の構成を示す回路図である。

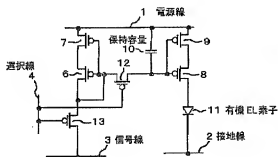
【図21】カレントミラー回路を構成するトランジスタ

間にばらつきがあったときのカレントミラー回路の出力伝達特性を示すグラフである。

【符号の説明】

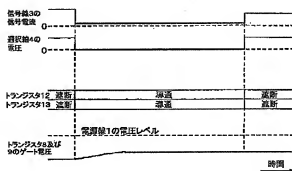
- 1 電源線
- 2 接地線
- 3 信号線
- 4, 5, 19 選択線
- 6~9, 15, 16 トランジスタ
- 10 保持容量 (保持コンデンサ)

【図 1】

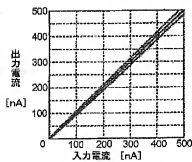


- 11 有機EL素子
- 12, 13, 17 スイッチトランジスタ
- 14 寄生容量
- 18 リセット用トランジスタ
- 20 定電圧源
- 21 画素
- 22 電源
- 23 電流ドライバ
- 24, 25 信号ドライバ

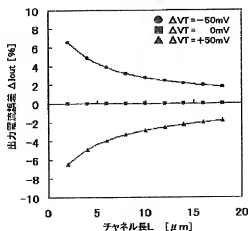
【図 2】



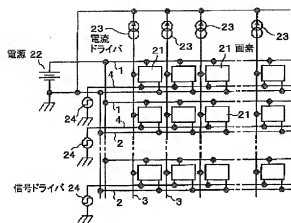
【図 3】



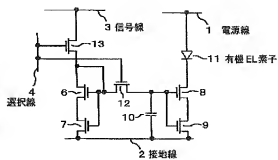
【図 4】



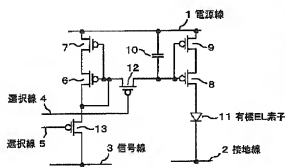
【図5】



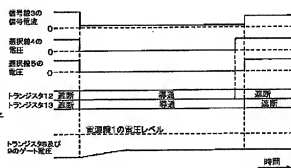
【図6】



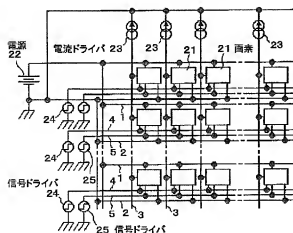
【図7】



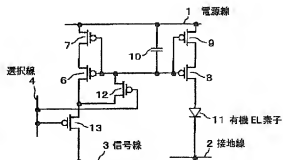
【図8】



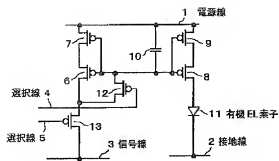
【図9】



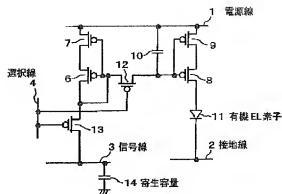
【図10】



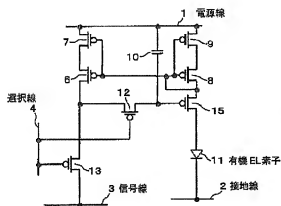
【図11】



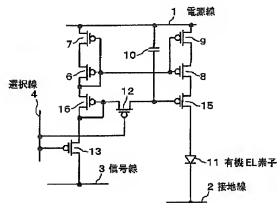
【図12】



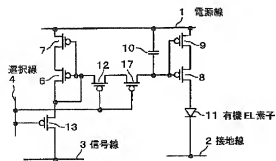
【図13】



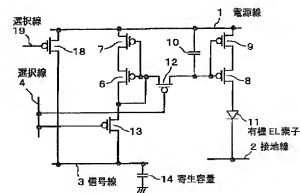
【図14】



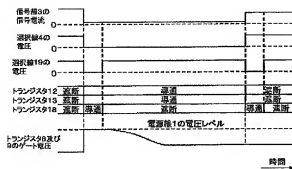
【図15】



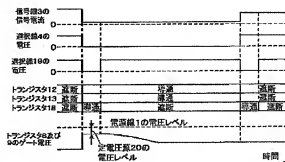
【図16】



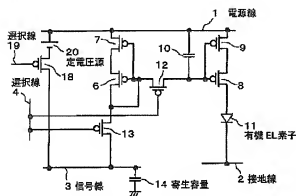
【図17】



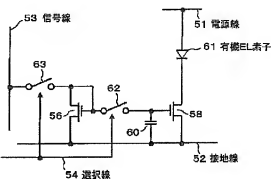
【図19】



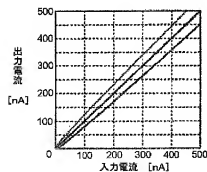
【図18】



【図20】



【図21】



フロントページの続き

ドキュメント (参考) 5C080 AA06 BB05 DD05 FF11 JJ02  
JJ03 JJ04 JJ05  
5C094 AA03 AA21 AA53 BA03 BA27  
CA19 CA25 EA04 EA07